

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

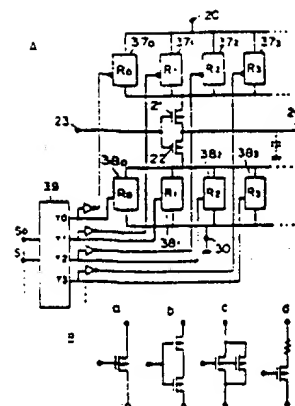
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

# 54: VARIABLE DELAY CIRCUIT

(11) 5-136664 (A) (45) 1.6.1993 (19) JP  
(21) Appl. No. 4-104706 (22) 23.4.1992 (33) JP (31) 91p.204365 (32) 14.8.1991  
(71) ADVANTEST CORP (72) YORICHI HAYASHI  
(51) Int. Cl. H03K3 13

**PURPOSE:** To obtain minute delay with high resolution.

**CONSTITUTION:** CMOS gates being a P-channel FET 21 and an N-channel FET 22 are connected to an input terminal 23 and drains are connected to an output terminal 24, the source of the FET 21 is connected to a positive power supply terminal 20 through resistor elements 37, 37<sub>1</sub>, 37<sub>2</sub>,... composed of P-channel switchable FETs whose resistance is respectively R<sub>0</sub>, R<sub>1</sub>, R<sub>2</sub>,... and the source of the FET 22 is connected to a negative power supply terminal 30 through resistive elements 38, 38<sub>1</sub>, 38<sub>2</sub>,... composed of N-channel switchable FETs whose resistance is respectively R<sub>0</sub>, R<sub>1</sub>, R<sub>2</sub>,... The resistor elements 38<sub>1</sub>, 38<sub>2</sub>, 38<sub>3</sub>,... are composed of single FET only (Figure a), or series connection of plural FETs (Figure b), or parallel connection of plural FETs (Figure c), or series connection of a passive resistance element and one FET (Figure d). The resistance elements 37<sub>1</sub>, 37<sub>2</sub>, 37<sub>3</sub>,... are constituted similarly. Delay setting signals S<sub>1</sub>, S<sub>2</sub>,... are decoded by a decoder 39.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136664

(43) 公開日 平成5年(1993)6月1日

(51) Int.Cl.<sup>4</sup>

H 0 3 K 5/13

識別記号

庁内整理番号

F I

技術表示箇所

4239-5 J

審査請求 未請求 請求項の数3(全10頁)

(21) 出願番号 特願平4-104708

(22) 出願日 平成4年(1992)4月23日

(31) 優先権主張番号 特願平3-204365

(32) 優先日 平3(1991)8月14日

(33) 優先権主張国 日本 (J P)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 林 洋吉

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72) 発明者 落合 克己

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72) 発明者 松下 茂

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(74) 代理人 弁理士 草野 卓 (外1名)

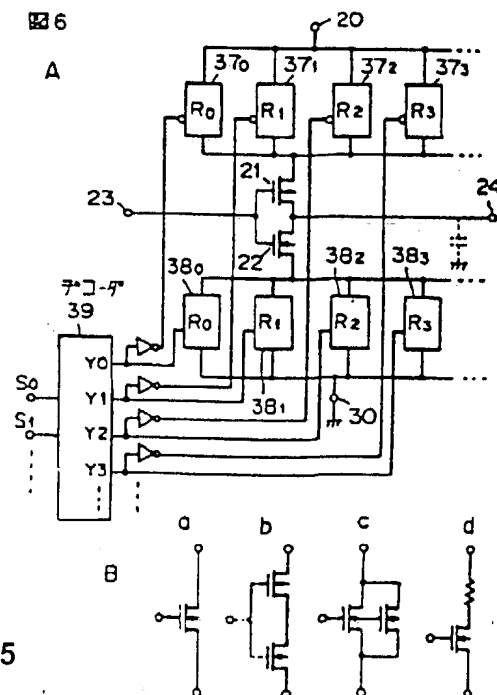
(54) 【発明の名称】 可変遅延回路

(57) 【要約】 (修正有)

【目的】 分解能の高い微少遅延を得る。

【構成】 pチャネルFET21とnチャネルFET22とのCMOSのゲートが入力端子23に接続され、ドレインは出力端子24に接続され、FET21のソースはそれぞれ抵抗値が $R_0$ 、 $R_1$ 、 $R_2$ …のスイッチ可能なpチャネルFETよりなる抵抗素子37<sub>0</sub>、37<sub>1</sub>、37<sub>2</sub>…を通じて正の電源端子20に接続され、FET22のソースはそれぞれ抵抗値が $R_0$ 、 $R_1$ 、 $R_2$ …のスイッチ可能なnチャネルFETよりなる抵抗素子38<sub>0</sub>、38<sub>1</sub>、38<sub>2</sub>…を通じて負の電源端子30に接続される。抵抗素子38<sub>0</sub>、38<sub>1</sub>、38<sub>2</sub>…はFET1個のみa、あるいは複数個を直列接続したものb、あるいは複数個を並列接続したものc、あるいは受動抵抗素子とFETとを直列接続したものdである。抵抗素子37<sub>0</sub>、37<sub>1</sub>、37<sub>2</sub>…も同様に構成される。デコーダ39により遅延設定信号 $S_0$ 、 $S_1$ …がデコードされる。

図6



GSI011565

## 【特許請求の範囲】

【請求項1】 両入力端が互いに接続されて、入力端子に接続され、互いに一端が接続され、その接続点が出力端子に接続された導電形を異にする第1、第2トランジスタと、

その第1トランジスタの他端と電源の一端との間に接続され、互いに抵抗値を異にするスイッチ可能な少なくとも二つの第1抵抗素子と、

上記第2トランジスタの他端と上記電源の他端との間に接続され、互いに抵抗値を異にするスイッチ可能な少なくとも二つの第2抵抗素子と、

上記第1抵抗素子及び上記第2抵抗素子のオンオフ状態を設定する遅延設定手段と、  
を具備する可変遅延回路。

【請求項2】 CMOSと、

そのCMOSの一端と、その一端のCMOSのFETと同一導電形で、上記電源の一端との間に挿入された第1FETと、

上記CMOSの他端と、その他端のCMOSのFETと同一導電形で、上記電源の他端との間に挿入された第2FETと、

上記CMOSと上記第1FETとの接続点と、上記電源の他端との間に接続され、上記第1FETと同一導電形の第3FETと、

上記CMOSと上記第2FETとの接続点と、上記電源の他端との間に接続され、上記第2FETと同一導電形の第4FETと、

上記第3FETと直列に挿入された第1スイッチと、

上記第4FETと直列に接続された第2スイッチと、

よりなる第2遅延段が上記入力端子又は出力端子に接続的に接続され、

上記遅延設定手段により上記第1スイッチ及び第2スイッチは同時にオン又はオフに設定される事の特徴とする請求項1記載の可変遅延回路。

【請求項3】 両入力端が互いに接続されて入力端子に接続され、互いに一端が接続され、その接続点が出力端子に接続された導電形を異にする第1、第2トランジスタと、

上記第1、第2トランジスタの両他端と電源の両端との間に直列に挿入された第3トランジスタと、

その第3トランジスタの入力端に接続された可変直流電源と、

上記第1、第2トランジスタの接続点に入力側が接続され、出力側が出力端子に接続されたインバータと、

を具備する可変遅延回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は微小分解能を有する可変遅延回路に関する。

【0002】

【従来の技術】 図11に従来の微小分解能可変遅延回路を示す。遅延段11、12、13が直列に接続されてなり、各遅延段は、入力を2分岐した二つの経路の一方をセレクト14で選択して出力するものであり、遅延段11では二つの経路にそれぞれバッファ15と16とが挿入され、遅延段12では一方の経路にのみ1個のバッファ16が挿入され、遅延段13では一方の経路にのみ直列接続された2個のバッファ16が挿入されている。バッファ16の伝搬遅延量 $T_{b16}$ はバッファ15の伝搬遅延量 $T_{b15}$ の2倍とされている。各遅延段11、12、13の各セレクト14に対するセレクト信号を選択的に制御することにより、入力端子17と出力端子18との間の経路を変更して、各種の遅延量を得ている。

【0003】 また図12に示すように各遅延段11、12、13においてその二つの経路の一方にのみ遅延素子19がそれぞれ挿入され、その各遅延素子19の遅延量 $t_1$ 、 $t_2$ 、 $t_3$ は、目的とする最小分解能をAとすると、 $t_1 = A$ 、 $t_2 = 2A$ 、 $t_3 = 4A$ であり、遅延段がn段接続されている場合においては、そのn段目に挿入される遅延素子19の遅延量 $t_n$ は $2^{n-1} \cdot A$ とされている。

【0004】

【発明が解決しようとする課題】 図11に示した従来の技術においては、各遅延を与える為のバッファ15、16はその各遅延量が比較的大きく、かつ入力端子17～18までの全体としての伝搬遅延量の内固定遅延となるものが大きい為、分解能を上げる事が困難であった。つまり各素子間のばらつきが全体としてかなり大きく影響する為、遅延分解能を上げる事が困難であった。特にCMOSを用いた集積回路として構成する場合においてはバイポーラで構成する場合よりも分解能を高くする事が困難であった。

【0005】 図12に示した構成においても、その各遅延素子19として伝搬遅延を利用するが、その製造上におけるばらつきや電源電圧や周囲温度の変化によって遅延素子19の遅延量にばらつきが生じ、又配線容量のばらつきなどの影響も受ける。各遅延素子19においてのばらつきを $\alpha$ とすると、ある遅延段において受ける遅延量はその前段までの遅延量の和がばらつきによって最小となり、かつ、その遅延段での遅延がばらつきにより最大となった時でも、必要とする分解能Aが確保されなければならない。このような関係からすると初段の遅延段11においては $(1+\alpha)t_1 = A$ となり、2段目の遅延段12においては $(1+\alpha)t_2 = t_1(1-\alpha) + A$ となり、従って $t_2 = 2A / (1+\alpha)^2$ となる。さらに3段目の遅延段13においては

$(1+\alpha)t_3 = (t_1 + t_2)(1-\alpha) + A$ 、従って $t_3 = 4A / (1+\alpha)^3$ となる。n段接続されている場合においては遅延量は $t_n = 2^{n-1} \cdot A / (1+\alpha)^n$ となる。

【0006】この為最終段に近い程ばつき $\alpha$ が大きく影響し、理想的な場合の遅延量 $t_d = 2 \cdot 10^{-11} \cdot A$ よりも遅延量が小さくなる為、それだけ目的とする可変量を大とする事ができなくなる。この $\alpha$ は通常CMOSゲートアレーで構成すると0.6程度となり、かなり大きな値である為、この目的とする遅延量を得る為には回路規模が大きくなり、現実的でなくなる。

【0007】

【課題を解決するための手段】請求項1の発明によれば導電形を異にする第1、第2トランジスタの一端が互いに接続され、その接続点は出力端子に接続され、また第1、第2のトランジスタの両入力端は互いに接続されて入力端子に接続され、第1トランジスタの他端と電源の一端との間に互いに抵抗値を異にするスイッチ可能な少なくとも二つの第1抵抗素子が並列に接続され、また第2トランジスタの他端と電源の他端との間に同様に互いに抵抗値を異にするスイッチ可能な少なくとも二つの第2抵抗素子が並列に接続され、これら第1抵抗素子、第2抵抗素子の少なくとも各1つが選択的に遅延量設定手段によってオン状態に設定されるように構成されている。

【0008】請求項2の発明によればCMOSの一端と電源の一端との間にそのCMOSの一端のFETと同一導電形の第1FETが接続され、またCMOSの他端と電源の他端との間にそのCMOSの他端のFETと同一導電形の第2FETが接続され、CMOSと第1FETとの接続点と電源の他端との間に第1FETと同一導電形の第3FETが接続され、CMOSの他端と第2FETとの接続点とその第2FETと同一導電形の第4FETを通じて電源の一端に接続され、第3FETと直列に第1スイッチが挿入され、第4FETと直列に第2スイッチが挿入され、これら第1、第2スイッチを同時にオンオフに設定する遅延設定手段が設けられた第2遅延段が請求項1の発明の遅延回路に縦続的に接続されている。

【0009】請求項3の発明によれば、互いに導電形を異にする第1、第2トランジスタの一端が互いに接続され、その両入力端は共通の入力端子に接続され、また第1、第2トランジスタの接続点はインバータを通じて出力端子に接続され、第1、第2トランジスタの直列接続と直列に第3トランジスタが電源との間に接続され、その第3トランジスタの入力端子に可変直流電源が接続されている。

【0010】

【実施例】図1に請求項1の発明の実施例を示す。この実施例はトランジスタとしてMOSFETを用いた場合で、第1トランジスタとしてpチャネルFET21が、第2トランジスタとしてnチャネルFET22が用いられる。FET21、22の両入力端、つまり両ゲートは互いに接続されて入力端子23に接続され、FET21、22の各一端は互いに接続され、その接続点は出力

端子24に接続される。

【0011】FET21の他端と電源25の正側に接続されるべき電源端子20との間にpチャネルFET26、27の直列回路が接続されると共にこれと並列にpチャネルFET28が接続される。FET22の他端と電源25の負側に接続されるべき電源端子30との間にnチャネルFET29、31の直列回路が接続されると共にこれと並列にnチャネルFET32が接続される。FET28、29、31の各ゲートがセレクト信号端子33に接続され、このセレクト信号端子33はインバータ34を介してFET26、27、32の各ゲートに接続される。FET21、22、26～29、31、32はすべて同一オン抵抗のものとされる。

【0012】この構成において、端子33のセレクト信号が低レベルの場合は、FET26、27、29、31がオフ、FET28、32がオンとなる。従って、FETのオン抵抗を $r$ とし、出力端子24に存在する負荷容量を $C$ とすると、セレクト信号が低レベルの場合は図1の構成は図2Aに示す等価回路となる。端子33のセレクト信号が高レベルの場合はFET26、27、29、31がオン、FET28、32がオフとなり、図1の構成は図2Bに示す等価回路となる。セレクト信号が低レベルではFET21、22と電源端子20、30との各間は1個のオンFETで接続され、セレクト信号が高レベルではFET21、22と電源端子20、30との各間は2個のオンFETの直列回路で接続される。

【0013】入力端子23に入力信号が与えられ、それが低レベルの場合はFET21がオン、FET22がオフとなり、電源端子20からFET26、27又は28を通じて出力端子24へ電流が流れ、入力信号が高レベルの場合はFET21がオフ、FET22がオンとなり、出力端子24からFET29、31又は32を通じて電源端子30へ電流が流れる。

【0014】従って、セレクト信号が低レベルの場合は入力信号が入力されると等価回路は図3Aに示すように入力端子23と出力端子24との間に二つのオン抵抗 $r$ が直列に接続された状態となる。この入力端子23に対してステップパルスを加えると、出力端子24の出力は図3Bに示すように $(r+r)C$ の時定数で指数関数で立上る。

【0015】一方セレクト信号が高レベルの場合は入力信号が入力されると等価回路は図3Cに示すように、入力端子23と出力端子24との間に三つのオン抵抗 $r$ が直列に接続された状態となる。この入力端子23に対してステップパルスを加えると、出力端子24の出力は図3Dに示すように $(r+2r)C$ の時定数で指数関数で立上り、図3Aの場合よりも立上りが遅い。

【0016】出力が最大となるレベル1の半分0.5をしきい値レベルとすると、 $\exp(-t/r) = 0.5$ からしきい値レベルに達するまでの時間は図3Aの場合

は  $t_1 = 0.69C(r+r)$ 、図3Cの場合は  $t_1 = 0.69C(2r+r)$  となる。このように遅延時間  $t_1$ 、 $t_2$  が異なるため、図1に示した遅延段を複数直列に接続し、その各遅延段に与えるセレクト信号を選定することにより各種の遅延量を設定することができる。

【0017】図4に示すようにFET26、27、28を三つ並列に接続し、FET24、31、32を三つ並列に接続してもよい。この場合はセレクト信号が高レベルの時のFET21、22と電源端子20、30との間はそれぞれ二個のオン抵抗  $r$  が並列に接続されるため、遅延量は、セレクト信号が低レベルの時よりも小さくなる。

【0018】図1、図4の何れにおいてもFET21、22と電源端子20、30との各間が、セレクト信号の低レベルで同数のFETがオンとなり、この数と異なる数のFETがセレクト信号の高レベルで同数オンとなればよく、これらの数は1と2とに限られるものでない。図5に請求項1の発明の他の実施例を示し、図1と対応する部分に同一符号を付けてある。この例ではFET21と電源端子20との間にpチャネルFET28と35とが並列で接続され、FET35としてそのオン抵抗がFET28のオン抵抗の2倍のものが用いられる。FET22と電源端子30との間にnチャネルFET32と36とが並列で接続され、FET36としてそのオン抵抗がFET32のオン抵抗の2倍のものが用いられる。この場合も前述と同様にセレクト信号の低レベルと高レベルとにより異なる遅延量が得られることは容易に理解されよう。この例においてFET28と35とのオン抵抗が等しく、FET32と36のオン抵抗が等しく、FET28とFET35とでオン抵抗が異なっていればよい。

【0019】図1においてFET28と、FET26及び27とはそれぞれ互いに抵抗値を異にするスイッチ可能な抵抗素子をそれぞれ構成し、またFET32と、FET29及び31とはそれぞれ抵抗値を互いに異にするスイッチ可能な抵抗素子を構成している。同様に図4において、FET28と、FET26及び27はそれぞれ互いに抵抗値を異にするスイッチ可能な抵抗素子をそれぞれ構成し、又FET32と、FET29及び31とはそれぞれ互いに抵抗値を異にするスイッチ可能な抵抗素子を構成している。さらに図5においてFET28とFET35とはそれぞれ抵抗値を異にするスイッチ可能な抵抗素子を構成し、FET32とFET36とはそれぞれ抵抗値を異にするスイッチ可能な抵抗素子をそれぞれ構成している。

【0020】次に上述においてはCMOS、つまりトランジスタ21及び21の組合せ構成に対して、その両端と電源の両端との間に、それぞれ抵抗値が異なるスイッチ可能な抵抗素子を、各二つづつ並列接続したが、一般的にはこれら各並列接続する互いに抵抗値を異にするス

イッチ可能な抵抗素子を複数ずつ設けることによって各種の遅延量を選択することができる。

【0021】すなわち例えば図6Aに示すようにCMOSを構成するFET21、22の直列接続の一端、つまりFET21と正側電源端子20との間に互いに抵抗値を異にするスイッチ可能な抵抗素子の複数個37、37<sub>1</sub>、37<sub>2</sub>…が並列に接続される。またFET22と負側電源端子30との間に互いに抵抗値を異にするスイッチ可能な抵抗素子38、38<sub>1</sub>、38<sub>2</sub>…が並列に接続される。

【0022】抵抗素子37、37<sub>1</sub>、37<sub>2</sub>…はこの例ではpチャネルのFETでそれぞれ構成された場合であり、抵抗素子38、38<sub>1</sub>、38<sub>2</sub>…はそれぞれnチャネルのFETでそれぞれ構成された場合である。FET21と電源端子20との間に接続された抵抗素子と、FET22と電源端子30との間に接続された抵抗素子との対応するもの、すなわち37と38、37<sub>1</sub>と38<sub>1</sub>、37<sub>2</sub>と38<sub>2</sub>…はそれぞれ互いに抵抗値が同一のものとされ、つまり抵抗素子37と38、37<sub>1</sub>と38<sub>1</sub>、37<sub>2</sub>と38<sub>2</sub>…の各抵抗値はそれぞれ図に示すようにR、R<sub>1</sub>、R<sub>2</sub>…とされている。

【0023】これら抵抗素子の構成は例えばnチャネルFETで構成された抵抗素子38、38<sub>1</sub>、38<sub>2</sub>…についてみれば、図6Bのaに示すように一個のnチャネルFETで構成されたもの、同図bに示すように二個のnチャネルFETの直列接続で構成されたもの、あるいは図に示していないが二個以上のnチャネルFETを直列接続して構成されたもの、又は同図Cに示すように二個のnチャネルFETを並列接続して構成されたもの、もしくは二個以上のnチャネルFETを並列接続して構成したもの、あるいは図6Bのdに示すようにnチャネルFETと直列に受動抵抗素子が接続されて構成されその受動抵抗素子の抵抗値が異ならされたものなどが用いられ、さらに先の図5について述べたように一個のFETで構成する場合においてもそのオン抵抗が互いに異なるようにしてもよい。

【0024】遅延設定信号S<sub>0</sub>、S<sub>1</sub>、S<sub>2</sub>…は遅延設定手段としてのデコーダ39に入力されてデコードされ、その出力端子Y<sub>0</sub>、Y<sub>1</sub>、Y<sub>2</sub>…のいずれかが高レベルとなり、その他出力端子は低レベルとなる。その出力端子Y<sub>0</sub>、Y<sub>1</sub>、Y<sub>2</sub>…はそれぞれ抵抗素子38、38<sub>1</sub>、38<sub>2</sub>…のそれを構成するnチャネルFETのゲートに直接それぞれ接続されると共に、インバータをそれぞれ介して抵抗素子37、37<sub>1</sub>、37<sub>2</sub>…のそれを構成するpチャネルFETのゲートにそれぞれ接続される。

【0025】従ってたとえばデコーダ39の出力端子Y<sub>0</sub>が高レベルになると、抵抗素子37と38とが同時にオンとなり、その他の抵抗素子はオフのままである。出力端子Y<sub>1</sub>が高レベルになると、抵抗素子37<sub>1</sub>

7

と38<sub>i</sub>とが同時にオンとなり、その他の抵抗素子はオフのままである。このようにして遅延設定信号により抵抗素子37<sub>i</sub>、37<sub>j</sub>、37<sub>k</sub>…の一つと、これと対応する(これと同一抵抗値の)抵抗素子38<sub>i</sub>、38<sub>j</sub>、38<sub>k</sub>…の一つとが同時にオンとなって、図1について説明した場合と同様の動作により入力端子23に入力された信号が出力端子24への出力される伝搬時間が、そのオンとなった抵抗素子の抵抗値に応じて異なり、各種の遅延量を遅延設定信号S<sub>0</sub>、S<sub>1</sub>…の状態によって設定する事ができる。

【0026】図7に請求項2の発明の実施例を示す。この例は図1に示した遅延回路の出力側にさらに別の構成の遅延段を接続した場合で、FET21、22よりなるCMOSの出力側と出力端子24との間に、FET41、42よりなるCMOS43が、そのゲートをFET21、22側として挿入される。FET41はpチャネルであってそのFET42の接続点と反対側の他端(ソース)はこれと同一導電形のつまりpチャネルのFET44を通じて電源端子20に接続され、そのゲートはCMOS43のゲートに接続される。またCMOS43の他方のFET42のソースはこれと同一導電形、従ってnチャネルのFET45が電源端子30に接続される。このFET45のゲートもCMOS43のゲートに接続される。

【0027】CMOS43とFET44との接続点と電源端子30との間にpチャネルのFET46がスイッチとしてのnチャネルFET47を介して接続される。同様にCMOS43とFET45の接続点と電源端子20との間にnチャネルのFET48が、スイッチとしてのpチャネルFET49を介して接続される。FET46、48の各ゲートは出力端子24に接続される。選択信号端子33がスイッチ47の制御端子、すなわちFET47のゲートに接続され、またインバータ34の出力側がスイッチ49の制御端子、すなわちFET49のゲートに接続される。

【0028】このような構成において、たとえば図8Aに示すように入力端子23に時点t<sub>1</sub>から立上る電圧入力信号V<sub>i</sub>が入力された時に、端子33の選択信号が低レベルの場合は、FET28と32がオンとなっているためそのFET21、22と電源端子20、30との各抵抗値がそれぞれ小さく、従ってCMOS43の入力に与えられる電圧V<sub>i</sub>は図8Bの曲線51で示すように比較的速く立下る。また端子33の選択信号が低レベルであるためにスイッチ47、49はオフとなっており、FET46、48はそれぞれCMOS43に接続されているが、これらがとりのぞかれている状態と同様である。このためFET41、42の各ゲート・ソース間のしきい値が例えば高レベルと低レベルとの真中であるとする、図8Cの曲線52に示すように、曲線51が高レベルからその半分の値に下るとその時点t<sub>1</sub>に出力端子2

8

4の電圧V<sub>o</sub>が低レベルから高レベルに立上る。

【0029】一方端子33に与える選択信号が高レベルの場合は、FET26、27、29、31がオンとなり、FET21、22と電源端子20、30との各抵抗値はFET28、32がオンの場合より大きい為、図8Bの曲線53に示すようにCMOS43の入力側の電圧は曲線51よりも徐々に低下する。またスイッチ47、49は共にオンとなっている為、FET44とCMOS43との接続点はFET46を通じて接地され、出力端子24は時点t<sub>1</sub>の前は低レベルであるからFET46はオン状態にあり、FET41、46の接続点の電圧V<sub>i</sub>は低レベルとなっている。FET44、46の各インピーダンスで電源端子20及び30間の電圧が分圧されてFET44のソースに与えられている。電圧V<sub>i</sub>が曲線53に従って下り、これと共にFET44ソース電圧V<sub>s</sub>が図8Bの点線で示すように上昇し、FET44のゲート・ソース間のしきい値よりもCMOS43の入力電圧V<sub>i</sub>が低下するとFET41がオンとなってその時点t<sub>1</sub>から出力端子24の電力電圧V<sub>o</sub>が図8Cの曲線54のように立上る。FET41がオンになるにはCMOS43の入力電圧V<sub>i</sub>が高レベルの半分よりも更に下に低下する必要がある。CMOS43の入力電圧V<sub>i</sub>が曲線53に示すように変化する場合に、FET46、48が接続されていないとすると、V<sub>i</sub>が高レベルの半分になった時点t<sub>1</sub>にFET41がオンになる。従って図に示した回路にCMOS43を含む遅延段40を接続することにより、選択信号が高レベル状態での遅延量を時点t<sub>1</sub>とt<sub>2</sub>との差ΔTだけ大きくすることができる。

【0030】図7においては選択信号の高レベルか低レベルかにより遅延量を二つの値のいずれかに制御したが、前段、つまりトランジスタ21、22よりなるCMOSの段における抵抗素子37<sub>i</sub>、37<sub>j</sub>、38<sub>i</sub>、38<sub>j</sub>に対するオンオフ制御と、スイッチ47、49に対するオンオフ制御とを各別に行うと、抵抗素子37<sub>i</sub>、38<sub>i</sub>がオン状態に対してスイッチ47、49をオン状態にするかオフ状態にするかで二つの異なる遅延量を設定でき、抵抗素子37<sub>j</sub>及び38<sub>j</sub>がオンの状態においてスイッチ47、49をオン状態にするか、オフ状態にするかにより他の二つの異なる遅延量を設定でき、計四種類の遅延量の制御を行うことができる。

【0031】さらに一般的にはFET21、22のCMOS段としては図6Aに示した構成とすることもできこのようにすれば更に多くの種類の遅延量の制御を行うことが可能となる。遅延段40はトランジスタ21、22を含む遅延回路の前段に設けてもよい。図9Aに請求項3の発明の実施例を示す、これも今までの説明と対応する部分に同一符号をつけてある。すなわちpチャネルFET21とnチャネルFET22との各ドレインが互いに接続され、その両ゲートが入力端子23に接続されてpチャネルFET21、22よりなるCMOSと、この

例ではnチャネルFET22側においてこれと同一の導電形のFET55が電源25の両端との間に直列に接続される。このFET55のゲートに可変直流電源56が接続される。可変直流電源56としては可変抵抗器57の両端が電源25の両端に接続され、その可動子の出力側が可変直流電源56の出力側とされる。又FET21、22の接続点、すなわちドレインはインバータ58を通じて出力端子24に接続される。

【0032】この構成において可変直流電源56の出力を例えば0乃至5ボルトの間で変化させると、FET55はそのソースドレイン間の抵抗値が変化し、すなわちオン抵抗が変化する。これによりFET21、22よりなるCMOSのしきい値電圧が見掛け上変化する。すなわち入力端子23に例えば正の方形波電圧が与えられると、FET21、22のドレイン出力、すなわちインバータ58の入力電圧は図10に示すようになる。図10においてそのパラメータは可変直流電源56の出力電圧、つまり制御電圧V、を2ボルト〜5ボルトに渡って変化した値であって、V、が0、2ボルトの場合より小さいとFET55のオン抵抗が大きくなりドレイン出力電圧の立下り、立上りが徐々に行なわれ、つまり出力側の容量Cに対する充電する充放電が著しくおそくなり、制御電圧V、を大きくするのに従ってFET55のオン抵抗が小さくなり、これによりドレイン出力電圧の立下り立上りが急となってくる。インバータ58のしきい値を2.5ボルトとすると、ドレイン出力電圧の立下り立上りのエッジを制御電圧V、に応じて変化し、つまりV、に応じて遅延時間を制御することができる。この例ではその制御範囲は約2ナノ秒であり、制御電圧V、は、0.4ボルトきざみではなく、もっと小さくすることができるから遅延時間を例えば50ピコ秒きざみで変化させることができる。すなわち著しく高い分解能で遅延制御を行うことが可能となる。

【0033】通常のゲートアレーには2入力NAND回路が設けられている。従ってそれを利用して図9Aと同様の遅延回路を構成することができる。すなわち図9Bに示すようにpチャネルFET21と並列にpチャネルFET59が接続され、このFET59のゲートを可変直流電源56の出力側に接続する。つまり通常のゲートアレーにおいて、FET21と59との各ゲートを入力とし、FET21、59とFET22とによりNANDゲートを構成したものが設けられている。このNANDゲートを図9Bに示すようにFET22と直列にFET55を接続すると共に一方の入力であるFET59のゲートを可変直流電源56に接続する。直流電源56の出力電圧V、は0乃至5ボルトなどの正の範囲だけ変化するためFET59は常時オフとなっており、従って図9Aに示した場合と同様の動作をする。図9A及び9Bにおいて可変直流電源56で制御するFET55をFET21側に挿入してもよい。この場合はそのFET55は

pチャネルのものとする。そして可変直流電源56としては電源端子20の電圧よりも低い電圧を発生するように制御する。

【0034】上述の各実施例、すなわち図1、図4、図5、図6、図7、図9に示した各実施例はそれぞれ単一の可変遅延回路として使用してもよく、あるいは図11、図12に示したように多段接続する場合の一つの遅延段として用いてもよい。さらに上述においてはトランジスタとしてFETを用いたが、バイポーラ形のトランジスタを用いてもよい。

【0035】

【発明の効果】以上述べたように請求項1の発明によれば、抵抗値を異にするスイッチ可能な複数の抵抗素子を用いてこれらを選択的にオンとすることによって負荷容量に対する充電速度を変化させ、これにより遅延量を変化させているが、その場合抵抗値として特にトランジスタのオン抵抗を利用しており、その事によってその各オン抵抗を同一値とする事が、特に集積回路として構成する場合は容易となり、従ってオン抵抗値をかなり正確に、一定値づつ増加減することが可能であり、遅延量を直線的に変化させる事ができ、分解能を向上させることが可能である。

【0036】特に図6Aに示したように一つの遅延回路としてその抵抗素子を多数対設ける場合は多くの遅延量を設定させる事ができ、これを多段遅延回路の一段として構成する場合は、少ない遅延段数で多数の遅延量を設定することができ、それだけ固定遅延量が少なくなり、バラツキの少ない高い分解能の可変遅延回路を構成することができる。

【0037】請求項2の発明によればさらに請求項1の発明の可変遅延回路の入力側又は出力側に縦続的にCMOS43を含む遅延段を設けて、これに対してスイッチによりFET46、48を接続したり遮断したりすることによって設定遅延量の種類をさらに多くすることができる。またFET21、22よりなるCMOSを含む回路とに対する選択信号で同時にスイッチ47、49も制御する事によって一つの設定信号による遅延量を大きくする事ができ、特に複数の直列的に遅延段を設ける場合における後段側の遅延段として設ける場合に有効である。

【0038】請求項3の発明によればCMOSのような相補回路に対して直列に一つのトランジスタを接続し、そのトランジスタのオン抵抗を可変直流電源で制御する事によって、きわめて小さなステップ、たとえば50ピコ秒のような分解能で遅延量を制御する事ができる。図12に示した従来の構成においてゲート一段で500ピコ秒の遅延が得られるとすると、3500ピコ秒の最大可変を得るためにはゲート遅延段を7段とする必要があり、各段に設けたセレクトにおける固定遅延が50ピコ秒であるとするると全体の固定遅延は350ピコ秒となり、これがこの固定遅延に対してプラス、マイナス20



11

%のばらつきがあるとすると、この固定遅延の最大のばらつきは約100ピコ秒となり、このような回路においては、50ピコ秒の分解能の変遅延回路を得ることはできないが、先に述べたように図9に示した構成によればこれを容易に達成することができる。

【図面の簡単な説明】

【図1】請求項1の発明の実施例を示す接続図。

【図2】選択信号が与えられた時の図1の等価回路を示す図。

【図3】Aは選択信号が低レベルの時に入力信号が与えられた状態の等価回路を示す図、Bはそのステップパルス応答を示す図、Cは選択信号が高レベルの時に入力信号が与えられた状態の等価回路を示す図、Dはそのステップパルス応答を示す図である。

【図4】請求項1の発明の他の実施例を示す接続図。

12

【図5】請求項1の発明のさらに他の実施例を示す接続図。

【図6】Aは請求項1の発明の一般的実施例を示す接続図、Bはその抵抗素子38<sub>0</sub>、38<sub>1</sub>、38<sub>2</sub>…の各構成例を示す接続図である。

【図7】請求項2の発明の実施例を示す接続図。

【図8】図7の実施例の動作の説明に供する為の波形図。

【図9】請求項3の発明の実施例を示す接続図。

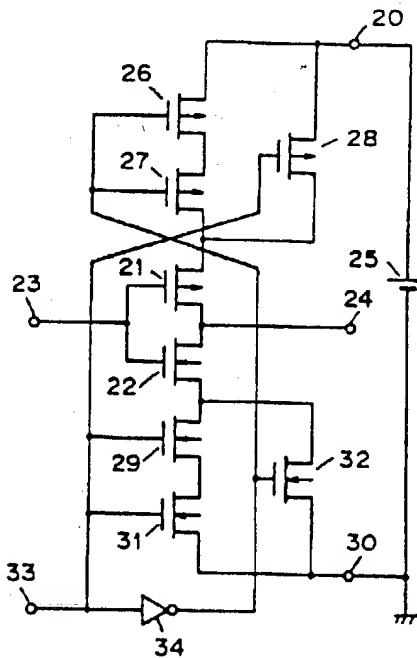
【図10】図9Aに示した実施例におけるその方形波入力に対するインバータの入力波形を、FET55のゲート電圧をパラメータとして示す図。

【図11】従来の可変遅延回路を示す接続図。

【図12】従来の可変遅延回路の他の構成を示す接続図。

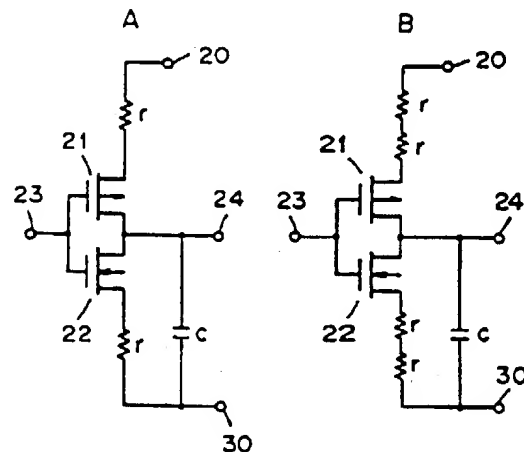
【図1】

図1



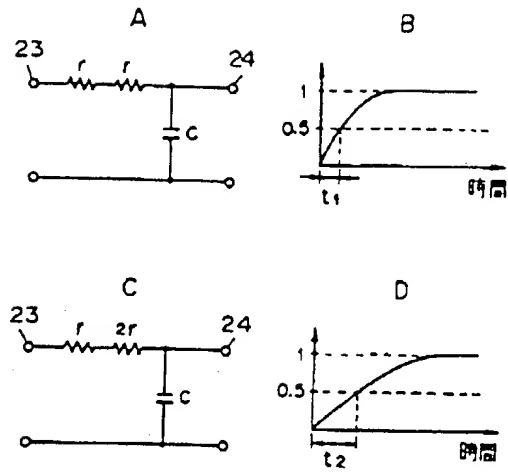
【図2】

図2



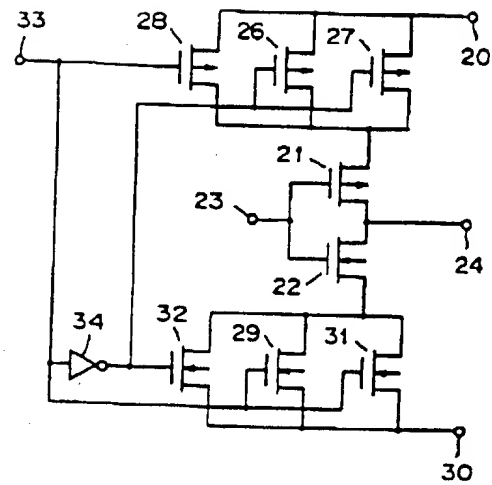
【図3】

図 3



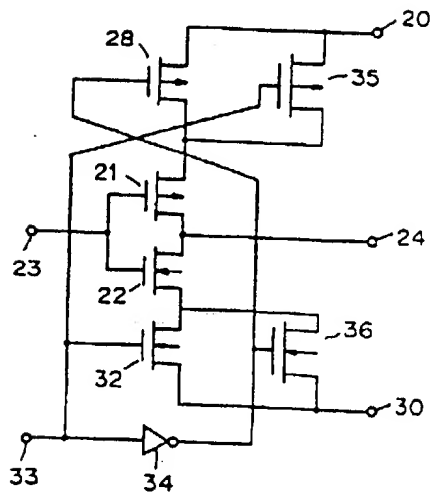
【図4】

図 4



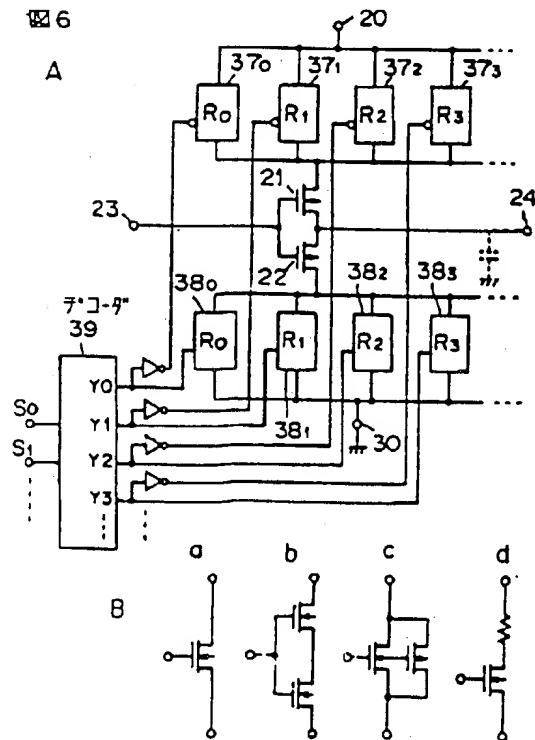
【図5】

図 5



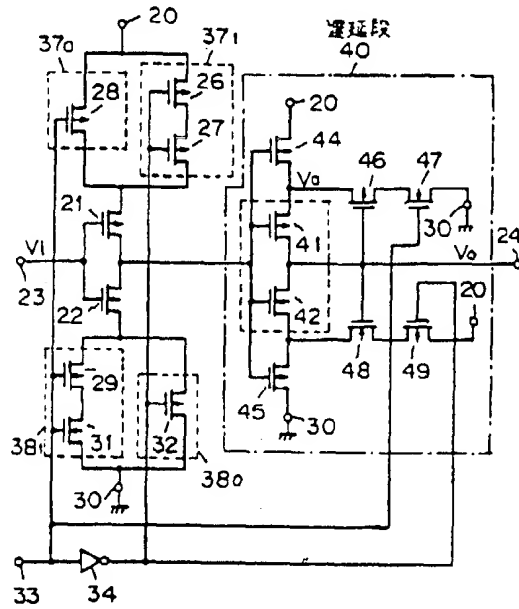
【図6】

図 6



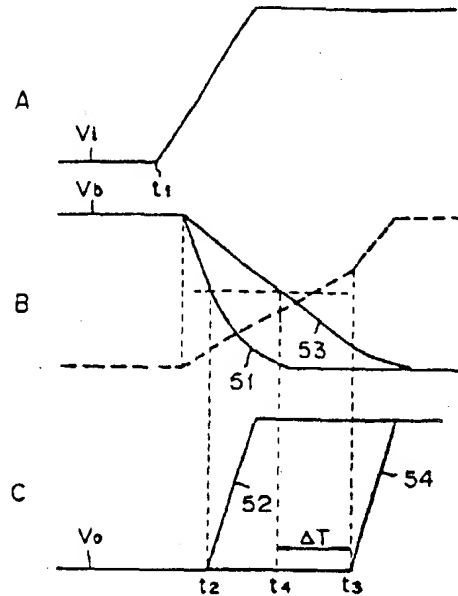
【図7】

図7



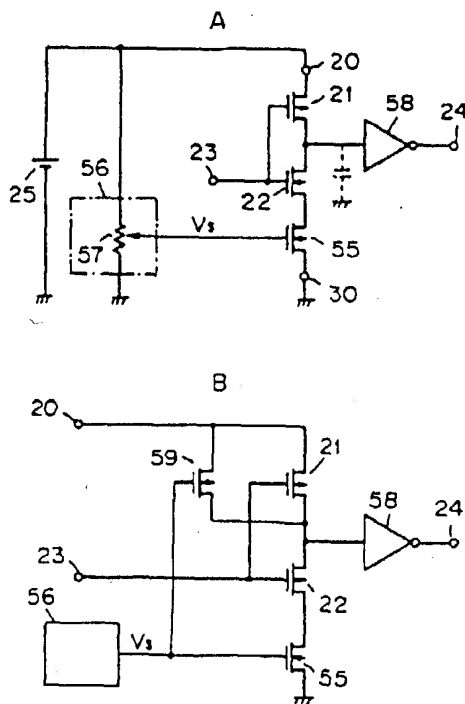
【図8】

図8



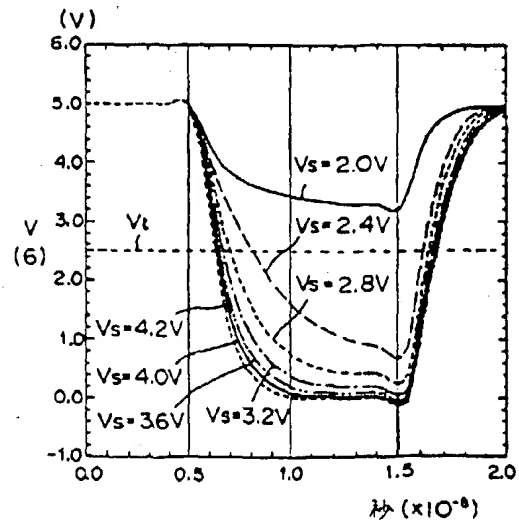
【図9】

図9



【図10】

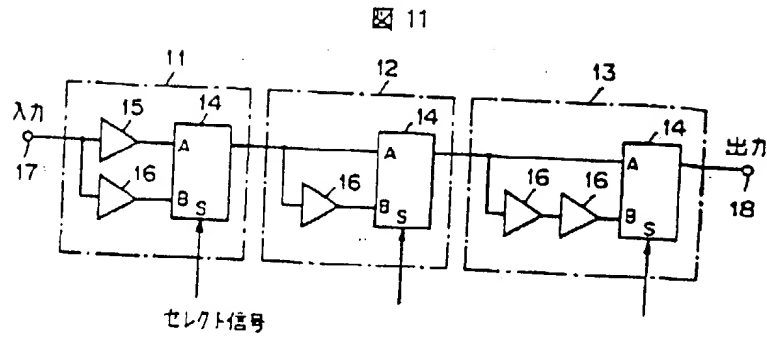
図10



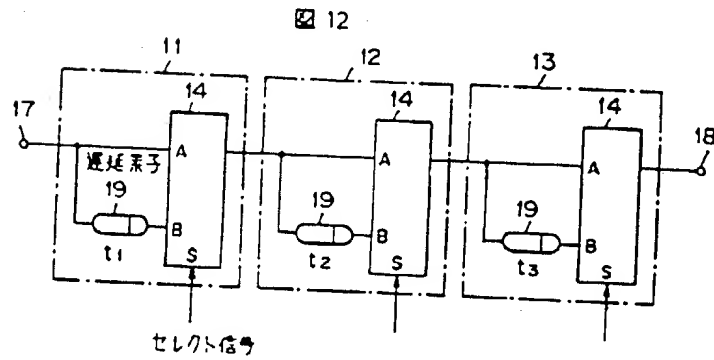
(10)

特開平5-136664

【図11】



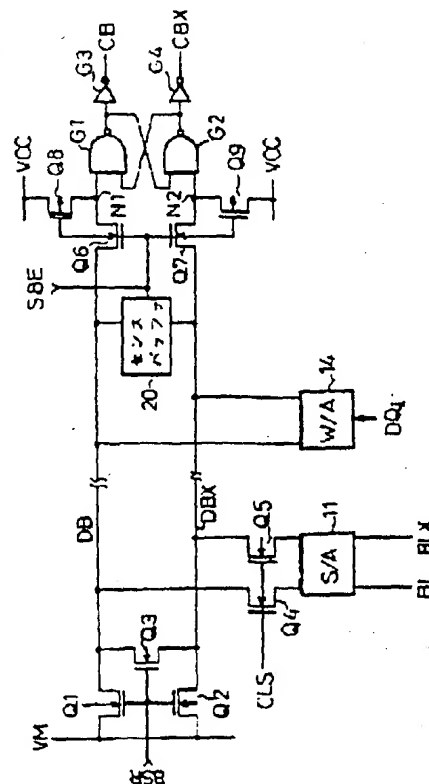
【図12】



1725

**Abstract**

TITLE : SEMICONDUCTOR STORAGE DEVICE



**CONSTITUTION:** Complementary data bus lines DB and DBX transmitting read data or write data and a power line VM having a substantially intermediate potential between a source voltage VCC of a high voltage and a source voltage VSS of a low potential are disposed. A pair of transistors Q1 and Q2 are connected between these complementary data bus lines DB and DBX and the power line VM. At the time when the paired transistors Q1 and Q2 are ON, the complementary data bus lines DB and DBX are precharged at the substantially intermediate potential in response to a reset signal BSR. Therefore, a differential voltage between the complementary data bus lines shows a level difference being twice as large as the one of a usual type, the speed of readout of data is made high, an operation margin 15 enlarged, a precharge level is lowered by half and power consumption can be reduced.

